



OKI.633

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Shinji Tanabe et al.

Group Art Unit: 2815

Serial No.: 10/753,081

Examiner: J. Fenty

Filed: January 8, 2004

Confir. No.: 5416

For: SEMICONDUCTOR DEVICE HAVING A SHIELDING LAYER

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
Customer Window  
Randolph Building  
401 Dulany Street  
Alexandria, VA 22314

Date: September 21, 2005

Sir:

Applicants, in the above-identified application, hereby claim the priority date  
under the International Convention of the following Japanese application:

Appln. No. 2003-002476

filed August 1, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.  
Registration No. 33,581

One Freedom Square  
11951 Freedom Drive, Suite 1260  
Reston, Virginia 20190  
Tel. (571) 283-0720  
Fax. (571) 283-0740

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
th this Office.

出願年月日  
Date of Application:

2003年 1月 8日

出願番号  
Application Number:

特願2003-002476

パリ条約による外国への出願  
用いる優先権の主張の基礎  
となる出願の国コードと出願

country code and number  
our priority application,  
used for filing abroad  
the Paris Convention, is

JP2003-002476

願人  
licant(s):

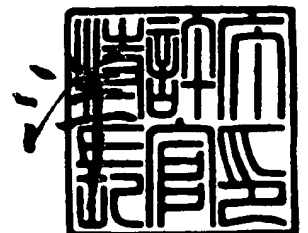
沖電気工業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2005年 5月10日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



【書類名】 特許願

【整理番号】 0G004743

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205  
H01L 21/60

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会  
社内

【氏名】 田辺 晋司

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会  
社内

【氏名】 丸子 亜登

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体チップ上に形成された電極と、  
開口部を備え、該開口部により前記電極の上面を露出するように、前記半導体チップ上に形成された絶縁膜と、  
前記絶縁膜の上方に形成された外部端子と、  
前記開口部を介して前記電極と前記外部端子とを電氣的に接続し、前記絶縁膜上に形成された第 1 配線とを備えた半導体装置において、  
前記半導体チップは、キャパシタを含む複数の電子素子が上面に形成された基板と、前記電子素子上及び前記基板上に形成された多層配線とを有し、  
前記多層配線は、それぞれが層間絶縁膜を介して積層された複数の層と、前記複数の層内にそれぞれ形成された第 2 配線とを有し、  
前記第 2 配線と前記電子素子とは電氣的に接続して電子回路を構成し、  
前記複数の層のうち、最上位の層内において、前記第 2 配線が配置された領域以外の領域に形成され、かつ、前記キャパシタの上方に位置するメタル部材を有し、  
前記メタル部材は、所定電位が与えられるノードに電氣的に接続されることを特徴とする半導体装置。

【請求項 2】 前記キャパシタの直上に前記外部端子、若しくは前記第 1 配線が位置することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 半導体チップ上に形成された電極と、  
開口部を備え、該開口部により前記電極の上面を露出するように、前記半導体チップ上に形成された絶縁膜と、  
前記絶縁膜の上方に形成された外部端子と、  
前記開口部を介して前記電極と前記外部端子とを電氣的に接続し、前記絶縁膜上に形成された第 1 配線とを備える半導体装置において、  
前記半導体チップは、電子素子が上面に形成された基板と、前記電子素子上及び前記基板上に形成された多層配線とを有し、

前記多層配線は、それぞれが層間絶縁膜を介して積層された複数の層と、前記複数の層内にそれぞれ形成された第2配線とを有し、

前記第2配線と前記電子素子とは電氣的に接続して電子回路を構成し、

前記電子回路は、線形的に変化する信号により作動するアナログ回路を備え、

前記複数の層のうち、最上位の層内において、前記第2配線が配置された領域以外の領域に形成され、かつ、前記アナログ回路の上方に位置するメタル部材を有し、

前記メタル部材は、所定電位が与えられるノードに電氣的に接続されることを特徴とする半導体装置。

【請求項4】 前記アナログ回路の直上に前記外部端子、若しくは前記第1配線が位置することを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体チップ上に形成された電極と、

開口部を備え、該開口部により前記電極の上面を露出するように、前記半導体チップ上に形成された絶縁膜と、

前記絶縁膜の上方に形成された外部端子と、

前記開口部を介して前記電極と前記外部端子とを電氣的に接続し、前記絶縁膜上に形成された第1配線とを備えた半導体装置において、

前記半導体チップは、電子素子が上面に形成された基板と、前記電子素子上及び前記基板上に形成された多層配線とを有し、

前記多層配線は、それぞれが層間絶縁膜を介して積層された複数の層と、前記複数の層内にそれぞれ形成された第2配線とを有し、

前記複数の層のうち、最上位の層内において、前記第2配線が配置された領域以外の領域に形成され、かつ、前記第1配線及び前記外部端子の下方に位置するメタル部材を有し、

前記メタル部材は所定電位が与えられるノードに電氣的に接続されることを特徴とする半導体装置。

【請求項6】 半導体チップ上に形成された電極と、

開口部を備え、該開口部により前記電極の上面を露出するように、前記半導体チップ上に形成された絶縁膜と、

前記絶縁膜上に形成された支持部材と、

前記開口部を介して前記電極と電氣的に接続し、かつ、前記絶縁膜の上面及び前記支持部材の上面に沿って延在する第1配線と、

前記支持部材の上面における前記第1配線上に形成され、前記第1配線と電氣的に接続する外部端子とを備えた半導体装置において、

前記半導体チップは、キャパシタを含む複数の電子素子が上面に形成された基板と、前記電子素子上及び前記基板上に形成された多層配線とを有し、

前記多層配線は、それぞれが層間絶縁膜を介して積層された複数の層と、前記複数の層内にそれぞれ形成された第2配線とを有し、

前記第2配線と前記電子素子とは電氣的に接続して電子回路を構成し、

前記複数の層のうち、最上位の層内において、前記第2配線が配置された領域以外の領域に形成され、かつ、前記キャパシタの上方に位置するメタル部材を有し、

前記メタル部材は、所定電位が与えられるノードに電氣的に接続されることを特徴とする半導体装置。

【請求項7】 半導体チップ上に形成された電極と、

開口部を備え、該開口部により前記電極の上面を露出するように、前記半導体チップ上に形成された絶縁膜と、

前記絶縁膜上に形成された複数の配線と、

前記絶縁膜の上方に形成された複数の外部端子とを有する半導体装置において、

前記半導体チップは、線形的に変化する信号により作動するアナログ回路が形成された第1領域と、その他の第2領域とを備え、

前記外部端子は、前記第1及び第2領域の上方にそれぞれ形成され、

前記配線は、前記第2領域の上方にのみ形成され、前記開口部を介して前記電極と前記第2領域の上方に位置する前記外部端子とを電氣的に接続することを特徴とする半導体装置。

【請求項8】 前記第1配線の一端が前記開口部を介して前記電極と電氣的に接続され、他端が前記外部端子と電氣的に接続されることを特徴とする請求項

1～5いずれか記載の半導体装置。

【請求項 9】 前記第 1 配線の一部は凸型の形状に屈曲し、前記凸型の頂部に位置する前記第 1 配線上に前記外部端子が形成されることを特徴とする請求項 1～5いずれか記載の半導体装置。

【請求項 10】 前記第 2 配線と前記メタル部材とは、同じ材料により形成されることを特徴とする請求項 1～6いずれか記載の半導体装置。

【請求項 11】 前記電極は前記基板の周辺部に位置し、前記外部端子は前記基板の中央部に位置することを特徴とする請求項 1～7いずれか記載の半導体装置。

【請求項 12】 前記外部端子の表面を露出するように、前記第 1 配線及び前記絶縁膜の上面は、封止材料により封止されていることを特徴とする請求項 1～7いずれか記載の半導体装置。

【請求項 13】 基板上に第 1 絶縁膜を形成する工程と、  
前記第 1 絶縁膜の上面に、第 1 配線を形成する工程と、  
前記第 1 配線の上面及び前記第 1 絶縁膜の上面に、第 2 絶縁膜を形成する工程と、  
前記第 2 絶縁膜の上面に、電極を備える第 2 配線を形成する工程と、  
前記第 2 絶縁膜の上面に、メタル部材を形成する工程と、  
前記メタル部材を所定電位が与えられる電極に、電気的に接続させる工程と、  
前記第 2 絶縁膜と前記第 2 配線と前記メタル部材との上面に、前記電極を露出する開口部を備える第 3 絶縁膜を形成する工程と、  
前記第 3 絶縁膜の上面及び前記開口部の内表面上に、前記電極から前記基板の中央部まで延在する第 3 配線を形成する工程と、  
前記中央部における前記第 3 配線の端部上に電極を形成する工程と、  
前記電極の上面を露出するように、前記第 3 絶縁膜及び前記第 3 配線の上面と、前記電極の側面とを封止材料により封止する工程と、  
前記電極の上面に外部端子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 14】 前記第 2 配線を形成する工程と、前記メタル部材を形成す

る工程とは、同一工程にて行われることを特徴とする請求項 13 記載の半導体装置の製造方法。

【請求項 15】 半導体チップ上に形成された第 1 絶縁膜と、  
前記第 1 絶縁膜上に形成された磁性体と、  
前記第 1 絶縁膜及び前記磁性体の上面に形成された第 2 絶縁膜と、  
前記第 2 絶縁膜上に形成された外部端子とインダクタとを有し、  
前記インダクタの形成領域下に、前記磁性体が位置することを特徴とする半導体装置。

【請求項 16】 前記半導体チップは、キャパシタを含む複数の電子素子が上面に形成された基板と、前記電子素子上及び前記基板上に形成された多層配線とを有し、

前記多層配線は、それぞれが層間絶縁膜を介して積層された複数の層と、前記複数の層内にそれぞれ形成された配線とを有し、

前記複数の層のうち、最上位の層内において、前記配線が配置された領域以外の領域に形成され、かつ、前記キャパシタの上方に位置するメタル部材を有し、

前記メタル部材は、所定電位が与えられるノードに電氣的に接続されることを特徴とする請求項 15 記載の半導体装置。

【請求項 17】 半導体チップ上に形成された第 1 インダクタと、  
前記半導体チップ及び前記第 1 インダクタの上面に形成された第 1 絶縁膜と、  
前記第 1 絶縁膜上に形成された第 1 磁性体と、  
前記第 1 絶縁膜及び前記第 1 磁性体の上面に形成された第 2 絶縁膜と、  
前記第 2 絶縁膜上に形成された第 2 磁性体と、  
前記第 2 絶縁膜及び前記第 2 磁性体の上面に形成された第 3 絶縁膜と、  
前記第 3 絶縁膜上に形成された外部端子と第 2 インダクタとを有し、  
前記第 1 磁性体の形成領域下に、前記第 1 インダクタが位置し、  
前記第 2 インダクタの形成領域下に、前記第 2 磁性体が位置することを特徴とする半導体装置。

【請求項 18】 半導体チップ上に形成された絶縁膜と、  
前記絶縁膜の上方に形成された外部端子とを備えた半導体装置において、



前記半導体チップは、キャパシタを含む複数の電子素子が上面に形成された基板と、前記電子素子上及び前記基板上に形成された多層配線とを有し、

前記多層配線は、それぞれが層間絶縁膜を介して積層された複数の層と、前記複数の層内にそれぞれ形成された第2配線とを有し、

前記配線と前記電子素子とは電氣的に接続して電子回路を構成し、

前記複数の層のうち、最上位の層内において、前記第2配線が配置された領域以外の領域に形成され、かつ、前記キャパシタの上方に位置するメタル部材を有し、

前記メタル部材は、所定電位が与えられるノードに電氣的に接続されることを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明はノイズの影響を低減する半導体装置、及びその製造方法に関するものである。

##### 【0002】

#### 【従来の技術】

半導体装置の小型化に伴い、半導体チップの外形寸法とほぼ同じ外形寸法を有するチップサイズパッケージ（Chip Size Package,（以下、CSPと称す））と呼ばれる半導体装置のパッケージ構造が出現している。このチップサイズパッケージの一形態として、ウエハ状態でパッケージングが行われた、ウエハレベルチップサイズパッケージ（Wafer Level Chip Size Package,（以下、WCSPと称す））と呼ばれる半導体装置のパッケージ構造が存在する。

##### 【0003】

このWCSP構造の半導体装置について以下に説明する。

##### 【0004】

従来のWCSP構造の半導体装置は、半導体チップ上に電極が形成され、この電極の上面を露出するように、半導体チップ上に絶縁膜が形成される。絶縁膜は開口部を備え、この開口部により電極の上面は露出される。

**【0005】**

絶縁膜上には外部端子と配線とが形成される。この配線は通常、再配線と称され、配線の一端は絶縁膜の開口部を介して電極と電氣的に接続され、他端は外部端子と電氣的に接続される。

**【0006】**

半導体チップは、複数の電子素子が上面に形成された基板と、電子素子上及び基板上に形成された多層配線とを有する。多層配線は電子素子を電氣的に接続して電子回路を形成する。

**【0007】**

さらに、絶縁膜の上面、及び再配線の上面は、外部端子を露出するように封止材料により封止される。

**【0008】**

このようなWCSP構造のパッケージングは、ウエハ状態で行われ、封止した後にウエハを切断し、個別化することにより多数のCSP構造の半導体装置が生産される。

**【0009】**

しかしながら、上述したようなWCSP構造では、外部端子及び再配線と半導体チップとが数 $\mu$ m程度の薄い絶縁膜を介して形成され、さらに、電子回路の上方に外部端子、或いは再配線が位置する為、電子回路が外部端子、若しくは再配線からの電界ノイズの影響を受けてしまう可能性があった。特にキャパシタ、或いはアナログ回路を備える通信系の半導体装置では、この電界ノイズにより静電誘導が発生し、キャパシタの容量値が変化したり、アナログ回路の波形が変形して、通信特性に大きく影響してしまう可能性があった。

**【0010】**

このような課題を解決すべく、半導体チップと再配線との間に、接地電位層を設ける技術が従来知られていた（例えば、特許文献1参照）。

**【0011】****【特許文献1】**

特開2000-235979号公報

**【0012】****【発明が解決しようとする課題】**

しかしながら、文献1に開示された技術では、接地電位層を新たに設ける必要があり、工程が大幅に増大してしまう可能性があった。さらに、接地電位層を設けることにより、半導体装置の厚さが厚くなってしまう可能性もあり、特に、小型化が要求される携帯電話等に搭載される半導体装置では、その影響は顕著であった。

**【0013】****【課題を解決するための手段】**

本発明では、上述した課題を解決すべく、キャパシタ、若しくはアナログ回路を備える半導体チップ上に絶縁膜を介して外部端子が形成された半導体装置において、基板上の多層配線、即ち、それぞれが層間絶縁膜を介して積層された複数の層と、層内にそれぞれ形成された配線とを有する多層配線の最上位の層内にメタル部材が形成される。メタル部材は、配線が配置された領域以外の領域に形成され、かつ、キャパシタ、若しくはアナログ回路の上方に位置する。さらに、メタル部材は、所定電位が与えられるノードに電氣的に接続される。

**【0014】****【発明の実施の形態】**

以下、本発明の実施形態について図面を参照して詳細に説明する。なお、全図面を通して同様の構成には同様の符号を付与する。

**【0015】****(第1の実施形態)**

図1は本発明の第1実施形態を説明する半導体装置の断面図であり、図2はキャパシタとメタル部材との位置関係を説明する半導体装置の平面図である。

**【0016】**

本実施形態の半導体装置では、半導体チップ100上に形成された電極200と、開口部310を備え、この開口部310により電極200の上面を露出するように、半導体チップ100上に形成された絶縁膜300と、絶縁膜300上に形成された外部端子400及び配線500とを有し、配線の一端は開口部310

を介して電極 2 0 0 と電氣的に接続され、他端は外部端子 4 0 0 と電氣的に接続される。

#### 【0 0 1 7】

半導体チップ 1 0 0 は、キャパシタ 1 0 1 を含む複数の電子素子 1 0 2 が上面に形成された基板 1 1 0 と、電子素子 1 0 2 上及び基板 1 1 0 上に形成された多層配線 1 2 0 とを有する。

#### 【0 0 1 8】

通信系の半導体装置の場合、キャパシタ 1 0 1 は、例えば、発振周波数を決定する素子の一つである電圧制御発振回路（V C O : Voltage Controlled Oscillator）等の高周波回路を構成するのに用いられる。ここで、高周波とは、周波数が 3 0 0 M H z 以上のものである。

#### 【0 0 1 9】

基板 1 1 0 の上面は、図 1、2 に示されるように、中央部（符号 C で示される箇所）とそれを包囲する周辺部（符号 P で示される箇所）とを備える。

多層配線 1 2 0 は、それぞれが層間絶縁膜 1 3 0 を介して積層された複数の層と、この複数の層中にそれぞれ形成された配線 1 4 0 とを有する。多層配線 1 2 0 は、基板 1 1 0 の上面に形成された複数の電子素子 1 0 2 を互いに電氣的に接続して電子回路を構成したり、電子回路と電極 2 0 0 とを電氣的に接続する。

#### 【0 0 2 0】

図 1 は、多層配線 1 2 0 が 2 層構造を有している半導体装置を説明したものであり、基板 1 1 0 上に層間絶縁膜 1 3 0 a が形成され、層間絶縁膜 1 3 0 a 上に配線 1 4 0 a が形成され、配線 1 4 0 a 及び層間絶縁膜 1 3 0 a 上に層間絶縁膜 1 3 0 b が形成され、層間絶縁膜 1 3 0 b 上に配線 1 4 0 b が形成される。即ち、多層配線の 1 層目に配線 1 4 0 a が形成され、2 層目に配線 1 4 0 b が形成される。層間絶縁膜 1 3 0 a、1 3 0 b は S i O<sub>2</sub>（酸化シリコン）等の酸化膜であり、配線 1 4 0 a、1 4 0 b は、A l（アルミニウム）、C u（銅）、W（タングステン）等を材料とする。

#### 【0 0 2 1】

さらに、多層配線 1 2 0 における複数の層のうち、最上位の層内において、配

線 1 4 0 が配置された領域以外の領域にメタル部材 1 5 0 が形成される。即ち、図 1 に示すように、多層配線 1 2 0 の 2 層目に、配線 1 4 0 b の他にメタル部材 1 5 0 が形成される。

#### 【 0 0 2 2 】

本実施形態では、メタル部材 1 5 0 の材料は、配線 1 4 0 b と同一の材料で構成されているので、配線 1 4 0 a を形成する工程と同じ工程でメタル部材 1 5 0 を形成することが可能となり、工程を大幅に減らすことができる。これに限られず、工程の低減を考慮しない場合、若しくは、工程の増加によるデメリットを補って余りある効果がある場合、メタル部材 1 5 0 は導電性を有するものであれば、配線 1 4 0 b と異なる材料で構成されていても良い。

#### 【 0 0 2 3 】

さらに、メタル部材 1 5 0 は、キャパシタ 1 0 1 の上方に位置する。ここで、後述する通り、メタル部材 1 5 0 の上方には、配線 5 0 0 若しくは外部端子 4 0 0 が形成される。メタル部材 1 5 0 は、この配線 5 0 0 若しくは外部端子 4 0 0 に発生する電界ノイズから、キャパシタ 1 0 1 を保護する為のものであり、メタル部材 1 5 0 の下方に位置するキャパシタ 1 0 1 は、この電界ノイズから保護される。本実施形態では、図 2 に示すように、半導体装置を平面的に見たとき、キャパシタ 1 0 1 の形成された領域が全てメタル部材 1 5 0 の形成された領域に覆われるように、それぞれが配置される。従って、キャパシタ 1 0 1 を、その全ての領域に渡り、メタル部材 1 5 0 によって保護することが可能となる。

#### 【 0 0 2 4 】

さらに、メタル部材 1 5 0 は所定電位が与えられるノードに電氣的に接続される。本実施の形態では、メタル部材 1 5 0 はグランド電位が与えられる電極 2 0 0 に電氣的に接続される。

#### 【 0 0 2 5 】

本実施形態では、電極 2 0 0 は、基板 1 1 0 の周辺部に形成され、外部端子 4 0 0 は基板 1 1 0 の中央部に形成される。絶縁膜 3 0 0 は 2 層構造を有し、S i N (窒化シリコン) 又は S i O 2 (酸化シリコン) により構成された絶縁膜 3 0 0 a 上に、ポリイミド等により構成された絶縁膜 3 0 0 b が形成される。絶縁膜

3 0 0 a は配線 1 4 0 b 及びメタル部材 1 5 0 を酸化、若しくは腐食から保護する機能を有し、絶縁膜 3 0 0 b は外部の衝撃から半導体チップ 1 0 0 を保護する機能を有する。

#### 【 0 0 2 6 】

配線 5 0 0 の材料は C u （銅）等であり、配線 5 0 0 の一端は、絶縁膜 3 0 0 の開口部 3 1 0 を介して電極 2 0 0 に接続され、他端は基板 1 0 0 の中央部まで延在する。

#### 【 0 0 2 7 】

外部端子 4 0 0 は半田等を材料とする半球状のものである。外部端子 4 0 0 と配線 5 0 0 とを電氣的に接続する為、本実施の形態では、基板 1 0 0 の中央部に位置する配線 5 0 0 の端部 5 1 0 上に、例えば C u （銅）を材料とする柱状電極 5 2 0 （ポストとも称される）が形成され、この柱状電極 5 2 0 上に外部端子 4 0 0 が形成される。このようにして、電極 2 0 0 と外部端子 4 0 0 とは、配線 5 0 0 により電氣的に接続される。

#### 【 0 0 2 8 】

外部端子 4 0 0 と配線 5 0 0 とは、図 3 に示す構成により、電氣的に接続されていても良い。この場合、絶縁膜 3 0 0 上には、樹脂等を材料とする支持部材 7 0 0 が形成され、配線 5 0 0 はこの支持部材 7 0 0 の表面に沿って延在する。ここで、配線 5 0 0 は支持部材 7 0 0 の表面のうち、少なくともその上面を覆うように延在する。このように支持部材 7 0 0 の表面に沿って延在することで、配線 5 0 0 は凸型に屈曲する。支持部材 7 0 0 の上面に位置する配線 5 0 0 上、つまり、凸型の頂部 5 3 0 上に位置する配線 5 0 0 上には外部電極 4 0 0 が形成される。

#### 【 0 0 2 9 】

この構成によれば、外部端子 4 0 0 と配線 5 0 0 とが直接、接続されているので、応力に対する外部端子 4 0 0 の強度を高めることが可能である。

#### 【 0 0 3 0 】

ここで、配線 5 0 0 を配設することにより、半導体装置が外部基板等と電氣的に接続する箇所を、任意の位置に設定することができる。一般的に、このような

任意の配置を再配置と称し、故に配線 500 は再配置配線、若しくは再配線と称される。この配線 500 により、外部基板等の端子に対応した所定の位置に外部端子 400 を形成することが可能となる。

#### 【0031】

さらに、柱状電極 520 の上面を露出するように、エポキシ系樹脂等を材料とする封止層 600 が絶縁膜 300 及び配線 500 の上面に形成される。ここで、柱状電極 520 の側面は封止層 600 により覆われている。封止層 600 により、配線 500 及び柱状電極 520 は外部からの衝撃や酸化等から保護される。

#### 【0032】

このように、本実施形態の半導体装置は、キャパシタ 101 と配線 500 との間に形成され、かつ、キャパシタ 101 の上方に位置するメタル部材 150 を有し、さらに、メタル部材 150 は所定電位が与えられるノードに電氣的に接続される為、キャパシタ 101 の上方から侵入する電界ノイズ、即ち、配線 500 若しくは外部端子 400 から発生する電界ノイズは、メタル部材 150 により遮蔽され、その下方に位置するキャパシタ 101 まで作用する可能性は低くなる。

#### 【0033】

ここで、外部端子 400、若しくは配線から発生する電界ノイズは、例えば、外部端子 400、配線 500 の電圧の変化に伴い発生する。この電界ノイズにより、従来の半導体装置では、キャパシタに静電誘導が起きてキャパシタの容量値が変化してしまう恐れがあった。

#### 【0034】

上述したように、キャパシタ 101 は電子回路の一部を構成する要素であり、例えば、電圧制御発振回路の発振周波数を決定する素子である。この為、電界ノイズの影響を受けると発振周波数が所定の値から変動してしまう恐れがあった。特に、通信系の半導体装置では、高周波を扱うことが多く、発振周波数の変動が顕著であり、これにより通信特性が大きく変化してしまう恐れがあった。従って、キャパシタ 101 を電界ノイズから保護することが可能な本実施形態を、このような通信系の半導体装置に適用すれば、通信特性が変化してしまう可能性を低減でき、半導体装置の信頼性を高めることができる。

**【0035】**

さらに、キャパシタ101の直上に、外部端子400、若しくは配線500が形成される場合、即ち、キャパシタ101の形成領域面に対する鉛直線上に、外部端子400、若しくは配線500が形成される場合、キャパシタ101と外部端子400、若しくは配線500とは、より近接した状態にあるので、従来の構成では、キャパシタ101は電界ノイズの影響をより大きく受けてしまう。

**【0036】**

本実施形態では、このような場合においても、電界ノイズはメタル部材150によって遮蔽され、キャパシタ101を電界ノイズから保護することが可能となるので、電界ノイズの影響を低減する為に、キャパシタ101の直上に外部端子400、若しくは配線500が位置しないようにそれぞれを配置する等の設計時の制限を低減させることが可能となる。つまり、設計の自由度を高くすることが可能となる。

**【0037】**

さらに、メタル部材150は配線140bが形成される層と同じ層内に形成される為、メタル部材150の形成は、従来から存在する多層配線を形成する工程内で行うことが可能である。この為、特許文献1に開示された従来発明のように、新たな層を設ける必要がなく、工程を大幅に増加させることなく本発明を実施することが可能である。

**【0038】**

さらに、新たな層を設ける必要がない為、半導体装置の厚さを厚くすることなく本発明を実施することが可能となるので、小型化が要求される携帯電話等に搭載される半導体装置に本発明を適用した場合、本発明による効果は大きい。

**【0039】****(第2の実施形態)**

次に、本発明の第2実施形態について説明する。第2実施形態は、アナログ回路を備える半導体装置における、本発明の実施形態である。

**【0040】**

図4は本発明の第2実施形態を説明する半導体装置の断面図であり、図5はア



ナログ回路とメタル部材との位置関係を説明する半導体装置の平面図である。

#### 【0041】

アナログ回路とは、図6に示すように、線形的に変化する信号（アナログ信号と称される）により作動する回路である。図6において、横軸は時間（T）、縦軸は振幅（A）であり、アナログ信号は符号Sで示される。通信系の半導体装置の場合、例えば、演算増幅器（オペアンプ）、比較増幅器（コンパレータ）、RF受信部、RF送信部、RFシンセサイザ部等に用いられる。従来の半導体装置では、上述したアナログ回路に、電界ノイズによって静電誘導が発生し、半導体装置の特性に影響してしまう可能性があった。特に、高周波信号、若しくは小振幅信号を扱う場合、静電誘導により信号の波形が大きく変動してしまい、通信特性に大きく影響してしまう可能性があった。

#### 【0042】

本実施形態の半導体装置では、基板110上に形成された電子素子102と多層配線120とは電氣的に接続され電子回路を構成する。この電子回路は、アナログ信号により作動するアナログ回路103を備える。

#### 【0043】

さらに、メタル部材150は、アナログ回路103の上方に位置する。ここで、メタル部材150は、メタル部材150の上方に形成された配線500若しくは外部端子400に発生する電界ノイズから、アナログ回路103を保護する為のものであり、メタル部材150の下方に位置するアナログ回路103は、この電界ノイズから保護される。本実施形態では、図5に示すように、半導体装置を平面的に見たとき、アナログ回路103の形成された領域が全てメタル部材150の形成された領域に覆われるように、それぞれが配置される。従って、アナログ回路103を、その全ての領域に渡り、メタル部材150によって保護することが可能となる。

#### 【0044】

このように、本実施形態の半導体装置は、アナログ回路103と配線500との間に形成され、かつ、アナログ回路103が上方に位置するメタル部材150を有し、さらに、メタル部材150は所定電位が与えられるノードに電氣的に接

続される為、アナログ回路 103 の上方から侵入する電界ノイズ、即ち、配線 500 若しくは外部端子 400 から発生する電界ノイズは、メタル部材 150 により遮蔽され、その下方に位置するアナログ回路 103 まで作用する可能性は低くなる。

#### 【0045】

上述したように、特に通信系の半導体装置では、アナログ回路は電界ノイズの影響を大きく受けてしまう。従って、アナログ回路 103 を電界ノイズから保護することが可能な本実施形態を、このような通信系の半導体装置に適用すれば、通信特性が変化してしまう可能性を低減でき、半導体装置の信頼性を高めることができる。

#### 【0046】

さらに、アナログ回路 103 の直上に、外部端子 400、若しくは配線 500 が形成される場合、即ち、アナログ回路 103 の形成領域面に対する鉛直線上に、外部端子 400、若しくは配線 500 が形成される場合、アナログ回路 103 と外部端子 400、若しくは配線 500 とは、より近接した状態にあるので、従来の構成では、アナログ回路 103 は電界ノイズの影響をより大きく受けてしまう。

#### 【0047】

本実施形態では、このような場合においても、電界ノイズはメタル部材 150 によって遮蔽され、アナログ回路 103 を電界ノイズから保護することが可能となるので、電界ノイズの影響を低減する為に、アナログ回路 103 の直上に外部端子 400、若しくは配線 500 が位置しないようにそれぞれを配置する等の設計時の制限を低減させることが可能となる。つまり、設計の自由度を高くすることが可能となる。

#### 【0048】

(第3実施の形態)

次に、本発明の第3実施形態について説明する。

#### 【0049】

図7は本発明の第3実施形態を説明する半導体装置の断面図であり、図8は再

配線及び外部端子とメタル部材との位置関係を説明する半導体装置の平面図である。

#### 【0050】

本実施形態の半導体装置では、メタル部材150は、配線500及び外部端子400の下方に位置するように形成される。ここで、メタル部材150は、メタル部材150の上方に形成された配線500若しくは外部端子400に発生する電界ノイズから、半導体チップ100内の電子回路を保護する為のものであり、メタル部材150の下方に位置する電子回路は、この電界ノイズから保護される。本実施形態では、図8に示すように、半導体装置を平面的に見たとき、配線500及び外部端子400の形成された領域が全てメタル部材150の形成された領域に含まれるように、それぞれが配置されている。従って、半導体チップ100内の電子回路を、その全ての領域に渡り、メタル部材150によって保護することが可能となる。

#### 【0051】

このように、本実施形態の半導体装置は、電子回路と外部端子400及び配線500との間に形成され、かつ、外部端子400及び配線500の下方に位置するメタル部材150を有し、さらに、メタル部材150は所定電位のノードに電気的に接続される為、電子回路の上方から侵入する電界ノイズ、即ち、配線500若しくは外部端子400から発生する電界ノイズは、所定電位のメタル部材150により遮蔽され、その下方に位置する電子回路まで作用する可能性は低くなる。

#### 【0052】

上述した実施形態に記載した通り、特に、通信系の半導体装置では、電子回路はキャパシタ、若しくはアナログ回路等を備えているので、電界ノイズの影響を受けやすい。

#### 【0053】

従って、電子回路を電界ノイズから保護することが可能な本実施形態を、このような通信系の半導体装置に適用すれば、通信特性が変化してしまう可能性を低減でき、半導体装置の信頼性を高めることができる。

**【0054】**

さらに、キャパシタ、若しくはアナログ回路等の電界ノイズの影響を受けやすい電子回路内の部位の直上に、外部端子400、若しくは配線500が形成される場合、従来の構成では、このような部位は電界ノイズの影響をより大きく受けてしまう。

**【0055】**

本実施形態では、このような場合においても、電界ノイズはメタル部材150によって遮蔽され、電界ノイズの影響を低減させることが可能となるので、電界ノイズの影響を低減する為に、電界ノイズの影響を受けやすい部位の直上に外部端子400、若しくは配線500が位置しないようにそれぞれを配置する等の設計時の制限を低減させることが可能となる。つまり、設計の自由度を高くすることが可能となる。

**【0056】**

さらに、本実施形態では、キャパシタやアナログ回路等の電界ノイズの影響を受けやすい部位の配置に依らず、メタル部材150は形成されるので、電子素子の配置が異なる半導体チップにおいても、メタル部材150の配置を変更することなく本発明を適用することが可能となる。

**【0057】**

(第4の実施形態)

次に、第1～3実施形態における半導体装置の製造方法の一形態を、本発明の第4実施形態として説明する。図9～図14は第4実施形態における半導体装置の製造方法を説明する半導体装置の断面図であり、図15は製造工程の一部を説明する半導体装置の平面図である。

**【0058】**

まず、図9に示すように、上面にキャパシタ等の電子素子を備えた基板110上に、層間絶縁膜130aを形成し、層間絶縁膜130a上に配線140aを形成する。さらに、図10に示すように、この層間絶縁膜130a及び配線140a上に層間絶縁膜130bを形成し、この層間絶縁膜130b上に、電極200を備える配線140b及びメタル部材150を形成する。

**【0059】**

配線140aと配線140bとメタル部材150の材料はAl（アルミニウム）、W（タングステン）等の導電体であり、例えばスパッタリング法により形成される。本実施の形態では、メタル部材150に、配線140bと同じ材料を用いているので、配線140bとメタル部材150とを同一工程で形成することが可能である。つまり、Al、若しくはW等を材料とする膜をスパッタリング法によって形成した後、フォトリソエッチング法を用いて配線140bとメタル部材150とを一括してパターン化するだけで、配線140bとメタル部材150とを形成することが可能となる。ここで、メタル部材150は、図15に示すように、グランド電位が与えられる電極200に接続される。

**【0060】**

次に、図11に示すように、配線140bとメタル部材150と絶縁膜130bとの上面に絶縁膜300aを形成する。絶縁膜300aはSiN（窒化シリコン）等を材料とし、例えばCVD法により形成される。さらに、絶縁膜300aの上面に絶縁膜300bを形成する。絶縁膜300bはポリイミド等を含有し、例えば、スパッタリング法により形成される。ここで、絶縁膜300a及び絶縁膜300bには、フォトリソエッチング法により開口部310が設けられ、この開口部310により、電極200の上面は露出される。

**【0061】**

次に、図12に示すように、絶縁膜300bの上面及び開口部310の内表面上に、電極200から基板110の中央部まで配線500を延在させる。配線500はCu（銅）等を材料とし、例えば電解メッキ法により形成される。さらに、基板110の中央部に位置する第2配線500の端部510上に柱状電極520を形成する。柱状電極520はCu（銅）等を材料とし、例えば電解メッキ法により形成される。

**【0062】**

次に、図13に示すように、絶縁膜300bの上面及び配線500の上面にエポキシ樹脂等を材料とする封止層600を形成し、さらに、この封止層600の上面を研磨することにより柱状電極520の上面を露出する。

**【0063】**

次に、図14に示すように、柱状電極520の上面に、半田等を材料とする外部端子400を形成する。

**【0064】**

このように、本実施形態では、配線140bを形成する工程と同じ工程でメタル部材150を形成することが可能となり、工程を大幅に増大させることなく、本発明を実現することができる。

**【0065】**

(第5実施の形態)

次に、本発明の第5実施形態について説明する。第5実施形態は、主に再配線に特徴を有する本発明の実施形態である。

**【0066】**

図16は本発明の第5実施形態を説明する半導体装置の上面図である。

**【0067】**

本実施形態の半導体装置では、半導体チップ100において、アナログ回路が形成される領域を第1領域160、その他の領域を第2領域170と定義したとき、外部端子400は第1領域160と第2領域170とにそれぞれ形成され、配線500は第2領域170上のみ、形成されることを特徴とする。

**【0068】**

即ち、第1領域160に形成された外部端子400aと、配線500とは接続されておらず、かつ、配線500は第1領域160上には形成されていない。

**【0069】**

従って、アナログ回路の直上には、配線500は位置していないので、アナログ回路が配線500から発生する電界ノイズの影響を受けてしまう可能性は低減される。

**【0070】**

さらに、外部端子400aは半導体チップと電氣的に接続されていないので、外部端子400aには電流又は電圧等の信号は与えられない。それ故、外部端子400aから電界ノイズは発生せず、アナログ回路が外部端子400から発生す

る電界ノイズの影響を受けてしまう可能性は低減される。

#### 【0071】

ここで、電界ノイズの影響のみを考慮した場合、外部端子400aは形成されていなくても良いが、この場合、第1領域160上には外部端子が形成されない為、外部端子の配置における均一性が失われる可能性がある。その結果、外部基板等に半導体装置を実装する際、半導体装置のバランスが不安定になってしまう恐れがある。この為、半導体装置のバランスを安定に保つ等の新たな作業が必要となり、工程が大幅に増大してしまう可能性がある。

#### 【0072】

本実施形態の半導体装置では、実装の際、外部端子400aにより半導体装置を安定させることが可能となる。すなわち、外部端子が均等に配設される為、半導体装置のバランスは保たれ、工程を大幅に増大させることなく、実装を行うことが可能となる。

#### 【0073】

(第6実施の形態)

次に、本発明の第6実施形態について説明する。第6実施形態では、半導体チップ上に絶縁膜を介して外部端子が形成された半導体装置において、この絶縁膜上にインダクタが形成されている場合、このインダクタから発生するノイズの影響を電子回路がを受けてしまう可能性を低減できる。

#### 【0074】

従来の半導体装置において、外部端子が形成される絶縁膜上にインダクタが形成されている場合、インダクタから発生したノイズ、特に、磁界ノイズによって、半導体チップ内の電子回路に電磁誘導が発生し、半導体装置の特性に大きく影響してしまう可能性があった。通信系の半導体装置のように、高周波のアナログ信号を扱う場合、電磁誘導により信号の波形が大きく変動してしまい、通信特性に大きく影響してしまう可能性があった。

#### 【0075】

図17は第6実施形態における半導体装置の断面図であり、図18はインダクタと磁性体との位置関係を説明する半導体装置の平面図である。

**【0076】**

本実施形態では、半導体チップ100上に絶縁膜130が形成され、絶縁膜130上にFe（鉄）、Ni（ニッケル）、若しくはCo（コバルト）等を材料とする磁性体800が形成され、この磁性体800及び絶縁膜130の上面に、ポリイミド等を材料とする、絶縁膜320が形成される。ここで、絶縁膜320は電極200の上面を露出するように形成される。

**【0077】**

さらに、絶縁膜320上には、外部端子400及びインダクタ900が形成される。

**【0078】**

ここで、磁性体800はインダクタ900の形成された領域下に位置する。即ち、図18に示すように、半導体装置を平面的に見たとき、インダクタ900の形成された領域が磁性体800の形成された領域に含まれるように、磁性体800及びインダクタ900は配置される。ここで、磁性体800はインダクタ900から発生した磁界ノイズを遮蔽して電子回路を保護する為のものであり、その目的から、インダクタ900の形成領域がすべて磁性体800の形成領域に含まれることが好ましい。

**【0079】**

さらに、半導体チップ100内の基板110上にキャパシタ101が形成される場合、半導体チップ内の層間絶縁膜130b上にメタル部材150が形成され、キャパシタ101の上方にメタル部材150が位置するように、それぞれが配置される。メタル部材150は所定電位が与えられるノードに電氣的に接続される。

**【0080】**

磁性体は一般に、磁界の方向を変化させる性質を有しているので、インダクタ900から発生した磁界は、磁性体800により半導体装置の横方向に曲げらる。これにより、電子回路の内部に磁界ノイズが侵入する可能性を低減することができる。

**【0081】**



このように、本実施形態では、電子回路とインダクタ 9 0 0 との間に、磁性体 8 0 0 が形成され、さらに、インダクタ 9 0 0 の形成領域下には磁性体 8 0 0 が位置する為、電子回路の上方から侵入するノイズ、特に、インダクタ 9 0 0 から発生する磁界ノイズは、磁性体 8 0 0 により半導体装置の横方向に曲げられ、その下方に位置する電子回路まで作用する可能性は低くなる。

#### 【 0 0 8 2 】

さらに、上述した通り、通信系の半導体装置のように、高周波のアナログ信号を扱う場合、電磁誘導により信号の波形が大きく変動してしまい、通信特性に大きく影響してしまう。従って、磁界ノイズの影響を低減させることが可能な本実施形態を、通信系の半導体装置に適用すれば、通信特性が変化してしまう可能性を低減でき、半導体装置の信頼性を高めることができる。

#### 【 0 0 8 3 】

さらに、キャパシタ 1 0 1 とインダクタ 9 0 0 との間に形成され、かつ、キャパシタ 1 0 1 の上方に位置するメタル部材 1 5 0 を有し、さらに、メタル部材 1 5 0 は、所定電位が与えられるノードに電氣的に接続される為、インダクタ 9 0 0 からのノイズ、特に、電界ノイズは、メタル部材 1 5 0 により遮蔽され、その下方に位置するキャパシタ 1 0 1 まで作用する可能性は低くなる。

#### 【 0 0 8 4 】

さらに、キャパシタ 1 0 1 の直上にインダクタ 9 0 0 が形成される場合、即ち、キャパシタ 1 0 1 とインダクタ 9 0 0 とが対向する場合、従来の構成では、キャパシタ 1 0 1 は電界ノイズの影響をより大きく受けてしまうが、本実施形態では、このような場合においてもキャパシタ 1 0 1 を電界ノイズから保護することが可能である。従って、電界ノイズの影響を低減する為にキャパシタ 1 0 1 の直上にインダクタ 9 0 0 が位置しないように、それぞれの位置関係を考慮して設計を行う必要がなくなり、設計の自由度を高くすることが可能となる。

#### 【 0 0 8 5 】

(第 7 実施の形態)

次に、本発明の第 7 実施形態について説明する。

#### 【 0 0 8 6 】

図 1 9 は本発明の第 7 実施形態を説明する半導体装置の断面図である。

【 0 0 8 7 】

半導体チップ上に絶縁膜を介して外部端子が形成された半導体装置において、この絶縁膜上にインダクタ 9 0 0 b が形成され、半導体チップ上にインダクタ 9 0 0 a が形成され、さらに、インダクタ 9 0 0 a がインダクタ 9 0 0 b の形成領域下に位置する場合、インダクタ 9 0 0 a の磁束と、インダクタ 9 0 0 b の磁束とが互いに影響して磁束の変動が発生し、それぞれのインダクタのインダクタンスが変化し、半導体装置の特性に影響を与えてしまう可能性がある。特に、通信系の半導体装置では、電子回路の共振点や整合、及び D C - D C コンバータ等の電圧に影響を与えてしまう。

【 0 0 8 8 】

本実施形態では、図 1 9 に示すように、半導体チップ 1 0 0 上にインダクタ 9 0 0 a が形成され、半導体チップ 1 0 0 及びインダクタ 9 0 0 a の上面に絶縁膜 3 0 0 が形成され、絶縁膜 3 0 0 上に磁性体 8 0 0 a が形成される。

【 0 0 8 9 】

絶縁膜 3 0 0 及び磁性体 8 0 0 a の上面には、絶縁膜 3 3 0 が形成され、絶縁膜 3 3 0 上には磁性体 8 0 0 b が形成される。

【 0 0 9 0 】

絶縁膜 3 3 0 及び磁性体 8 0 0 b の上面には、絶縁膜 3 4 0 が形成され、絶縁膜 3 4 0 上には外部端子 4 0 0 及びインダクタ 9 0 0 b が形成される。

【 0 0 9 1 】

ここで、絶縁膜 3 3 0 及び 3 4 0 はポリイミド等を材料とし、磁性体 8 0 0 a 及び 8 0 0 b は F e (鉄)、N i (ニッケル)、若しくは C o (コバルト) 等を材料とする。

【 0 0 9 2 】

インダクタ 9 0 0 b の形成領域下には、磁性体 8 0 0 b が位置し、磁性体 8 0 0 a の形成領域下にはインダクタ 9 0 0 a が位置する。

【 0 0 9 3 】

上述した実施形態に記載した通り、磁性体は一般に、磁界の方向を変化させる

性質を有しているので、インダクタ 900 a から発生した磁界は、磁性体 800 a により半導体装置の横方向に曲げられ、インダクタ 900 b から発生した磁界は、磁性体 800 b により半導体装置の横方向に曲げられる。

#### 【0094】

このように、本実施形態では、インダクタ 900 a とインダクタ 900 b との間に、磁性体 800 a 及び磁性体 800 b が形成され、さらに、インダクタ 900 a は磁性体 800 a の形成領域下に位置し、磁性体 800 b はインダクタ 900 b の形成領域下に位置する為、インダクタ 900 a から発生した磁界は、磁性体 800 a により半導体装置の横方向に曲げられ、インダクタ 900 b から発生した磁界は、磁性体 800 b により半導体装置の横方向に曲げられる。

#### 【0095】

これにより、インダクタ 900 a の直上にインダクタ 900 b が位置する場合、即ち、インダクタ 900 a とインダクタ 900 b とが対向して配置されている場合でも、インダクタ 900 a とインダクタ 900 b とが干渉し、それぞれのインダクタのインダクタンスが変動してしまう可能性を低くすることができる。

#### 【0096】

この結果、インダクタ 900 a とインダクタ 900 b とが重ならないように、それぞれのインダクタの配置を考慮する必要がないので、設計の自由度を大幅に高めることが可能となる。

#### 【0097】

さらに、磁性体は 2 層に渡り形成されるので、インダクタ 900 a 及び 900 b から発生する磁束は、それぞれ別の磁性体の内部を通過する。従って、それぞれの磁束が同じ磁性体内部を通過することにより、磁性体の非線形性によって磁束が変動し、互いのインダクタのインダクタンスが変化してしまう可能性は低減される。

#### 【0098】

##### 【発明の効果】

本発明では、再配線若しくは外部端子から発生した電界ノイズはメタル部材により遮蔽され、キャパシタ、若しくはアナログ回路が電界ノイズの影響を受けて

しまう可能性を低くすることができる。

【0099】

さらに、メタル部材の形成を従来から存在する多層配線を形成する工程内で行うことが可能である為、工程を大幅に増加させることなく本発明の実現でき、さらに、半導体装置の厚さを厚くすることなく本発明を実現することが可能となる。

【0100】

さらに、キャパシタ、若しくはアナログ回路の直上に外部端子、若しくは再配線が位置しないように、それぞれの位置関係を考慮して設計を行う必要がなくなり、設計の自由度を高くすることが可能となる。

【図面の簡単な説明】

【図1】

第1実施形態における半導体装置の断面図である。

【図2】

第1実施形態における半導体装置の平面図である。

【図3】

第1実施形態における半導体装置の一部を説明する断面図である。

【図4】

第2実施形態における半導体装置の断面図である。

【図5】

第2実施形態における半導体装置の平面図である。

【図6】

第2実施形態におけるアナログ信号を説明する図である。

【図7】

第3実施形態における半導体装置の断面図である。

【図8】

第3実施形態における半導体装置の平面図である。

【図9】

第4実施形態における半導体装置の製造方法を説明する断面図である。

**【図 1 0】**

第 4 実施形態における半導体装置の製造方法を説明する断面図である。

**【図 1 1】**

第 4 実施形態における半導体装置の製造方法を説明する断面図である。

**【図 1 2】**

第 4 実施形態における半導体装置の製造方法を説明する断面図である。

**【図 1 3】**

第 4 実施形態における半導体装置の製造方法を説明する断面図である。

**【図 1 4】**

第 4 実施形態における半導体装置の製造方法を説明する断面図である。

**【図 1 5】**

第 4 実施形態における半導体装置の製造方法を説明する平面図である。

**【図 1 6】**

第 5 実施形態における半導体装置の平面図である。

**【図 1 7】**

第 6 実施形態における半導体装置の断面図である。

**【図 1 8】**

第 6 実施形態における半導体装置の平面図である。

**【図 1 9】**

第 7 実施形態における半導体装置の断面図である。

**【符号の説明】**

1 0 0 半導体チップ

1 0 1 キャパシタ

1 0 2 電子素子

1 0 3 アナログ回路

1 1 0 基板

1 2 0 多層配線

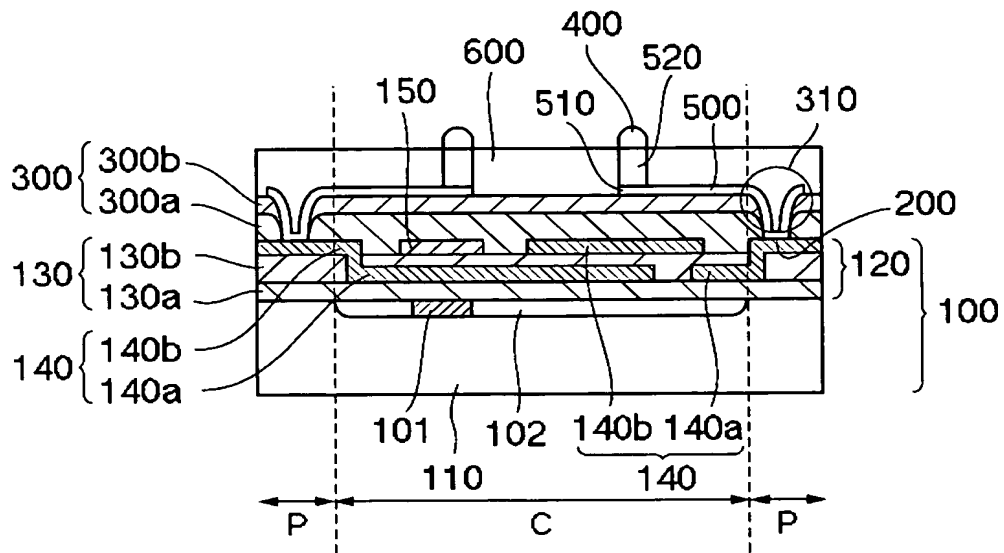
1 3 0 層間絶縁膜

1 4 0 配線

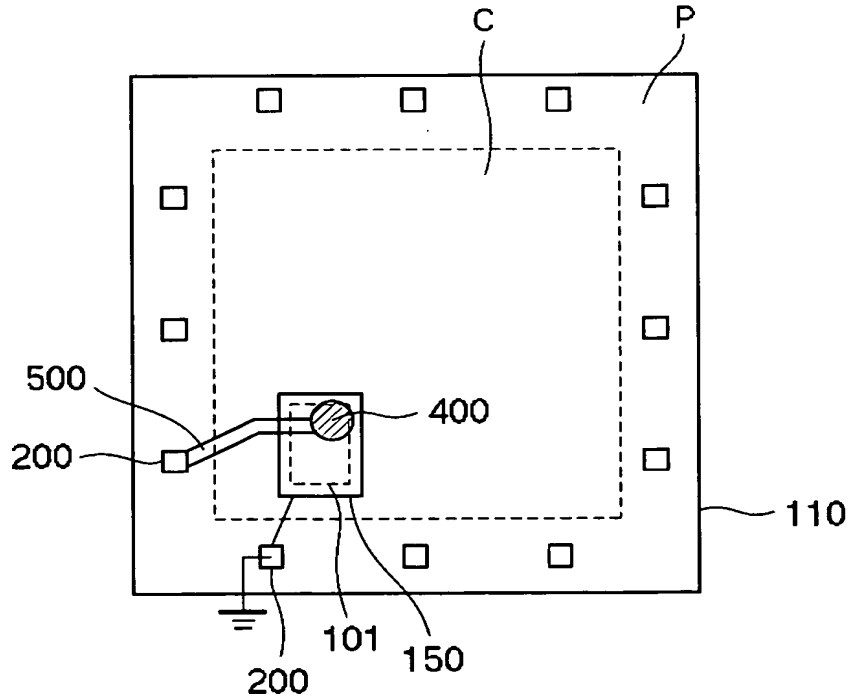
1 5 0    メタル部材  
2 0 0    電極  
3 0 0, 3 2 0, 3 3 0, 3 4 0    絶縁膜  
3 1 0    開口部  
4 0 0    外部端子  
5 0 0    再配線  
5 2 0    柱状電極  
6 0 0    封止層  
7 0 0    支持部材  
8 0 0    磁性体  
9 0 0    インダクタ

【書類名】 図面

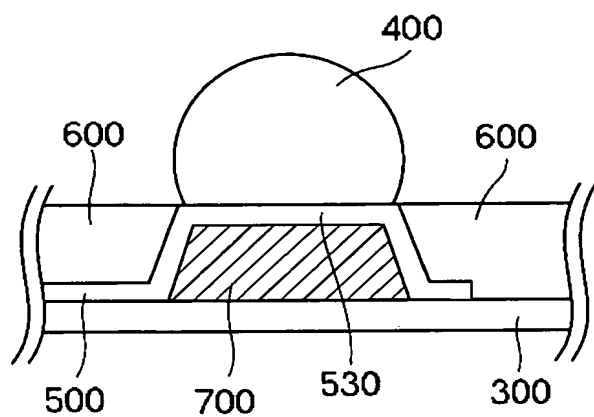
【図 1】



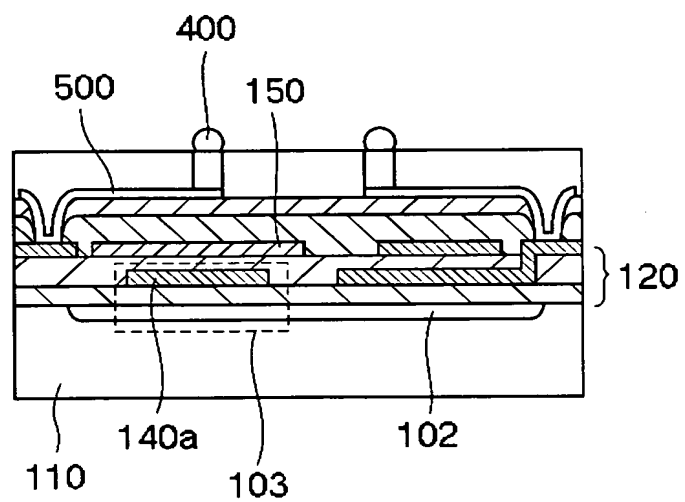
【図 2】



【図 3】

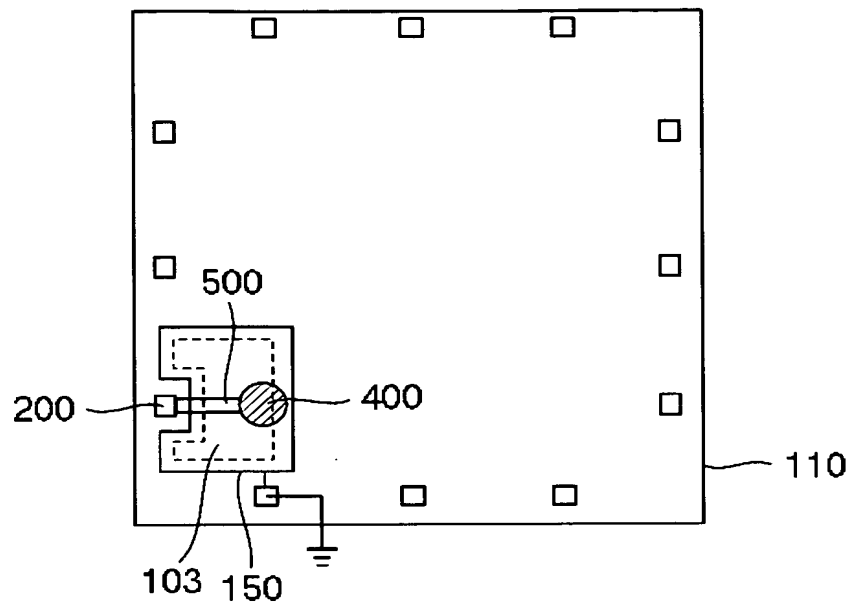


【図 4】

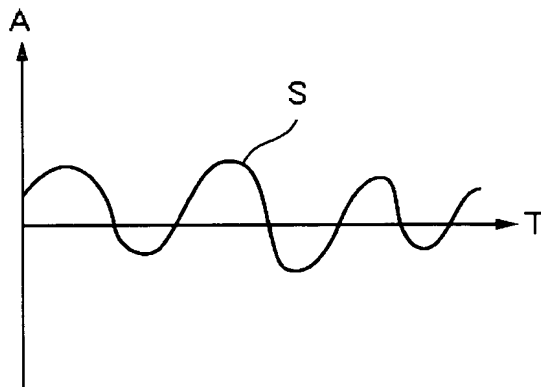




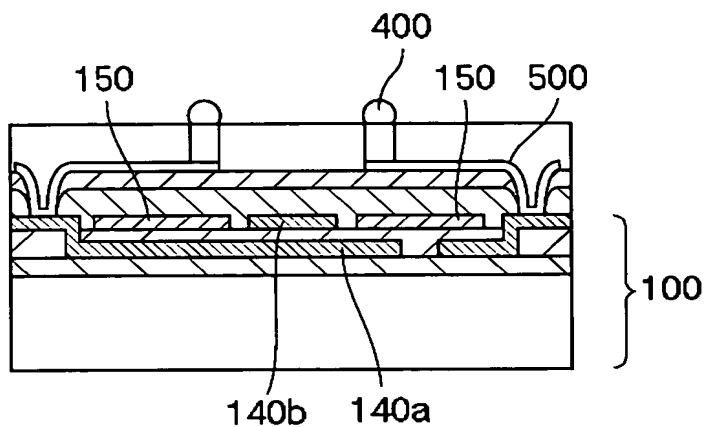
【図 5】



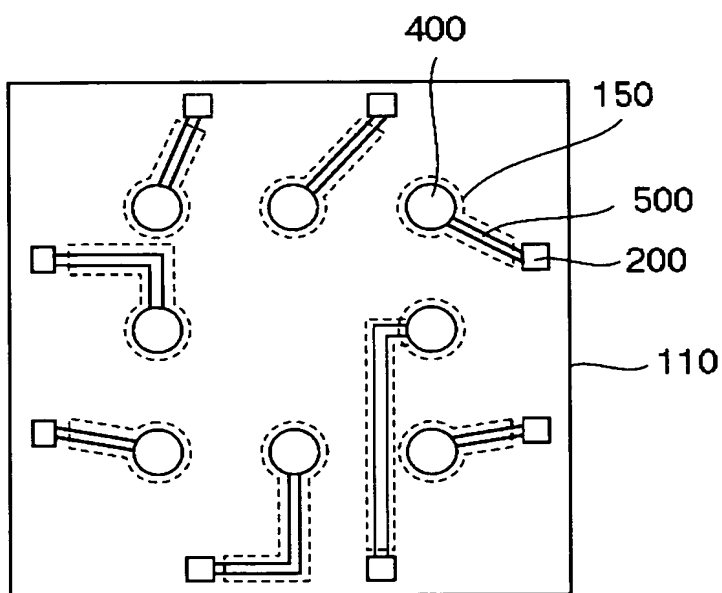
【図 6】



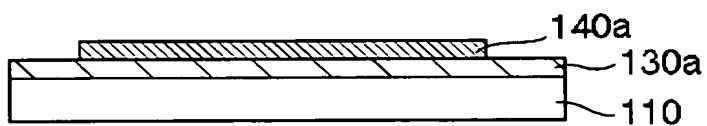
【図 7】



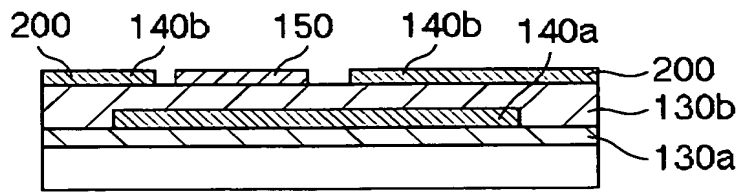
【図 8】



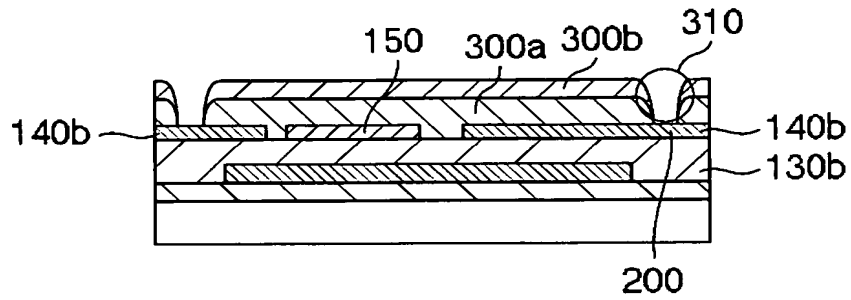
【図 9】



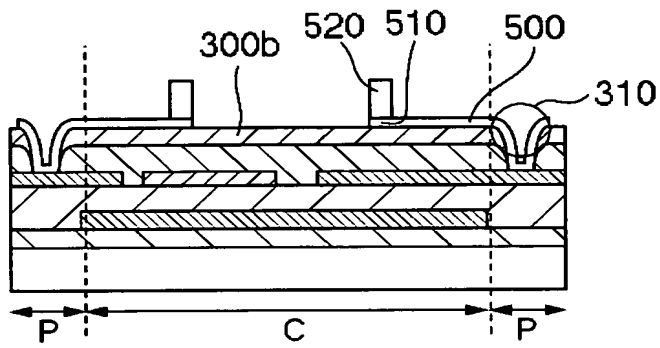
【図 10】



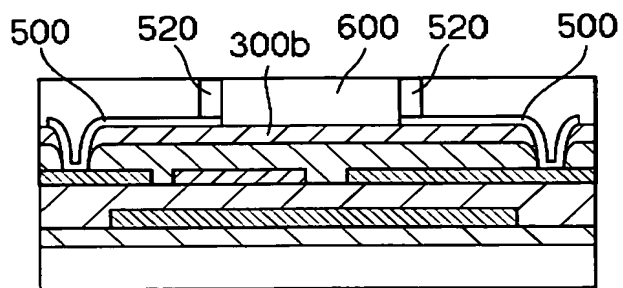
【図 11】



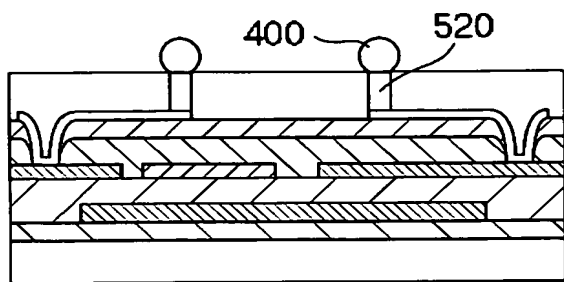
【図 12】



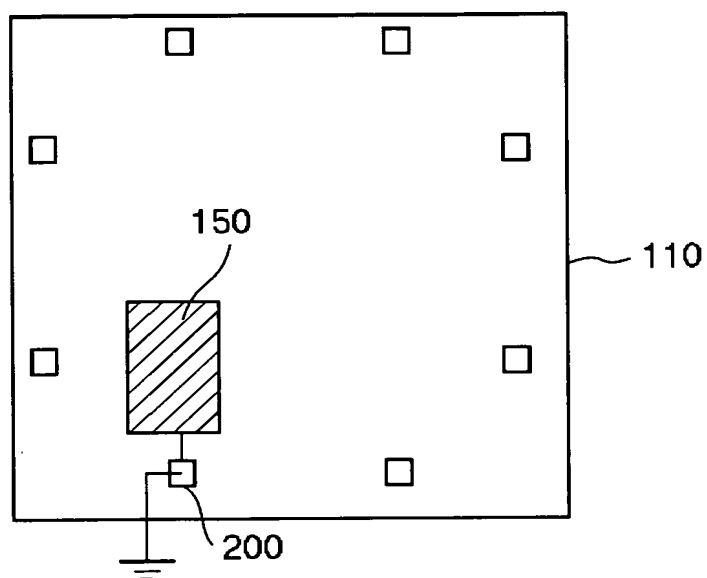
【図 13】



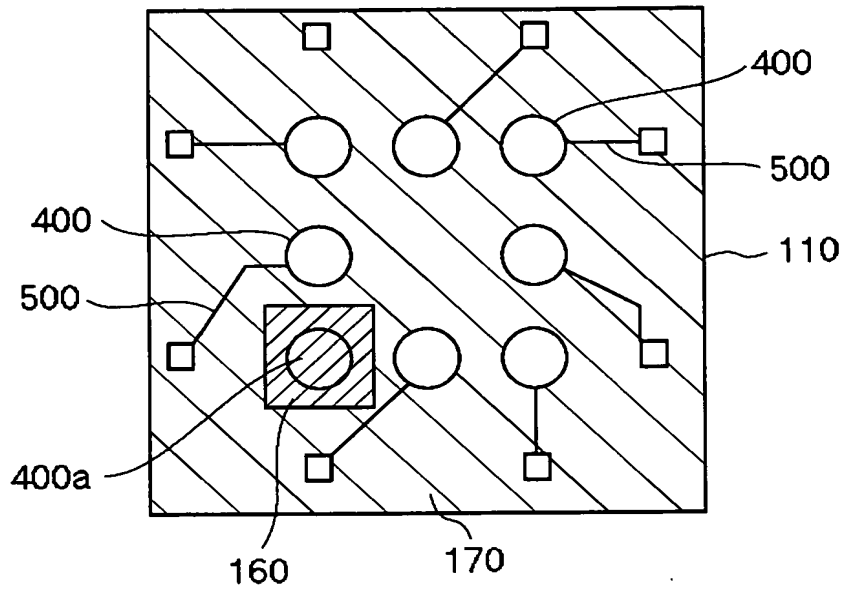
【図 14】



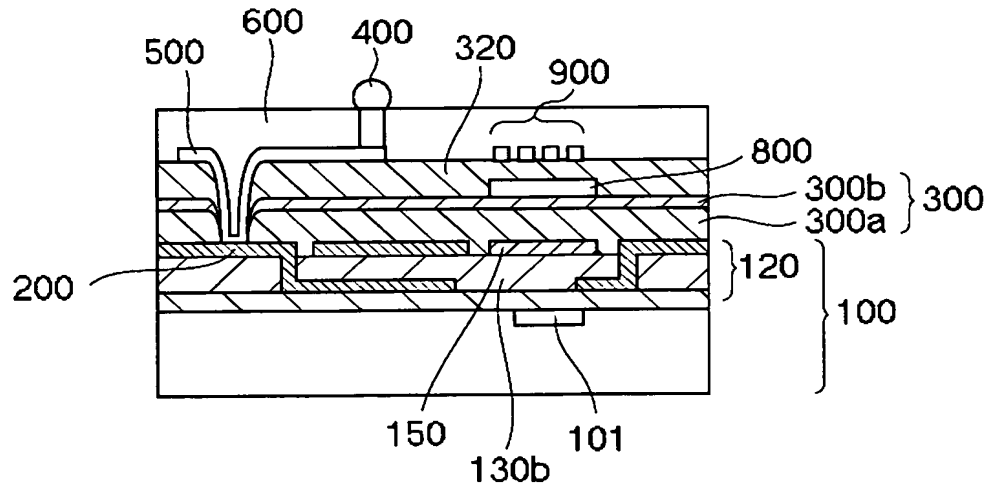
【図 15】



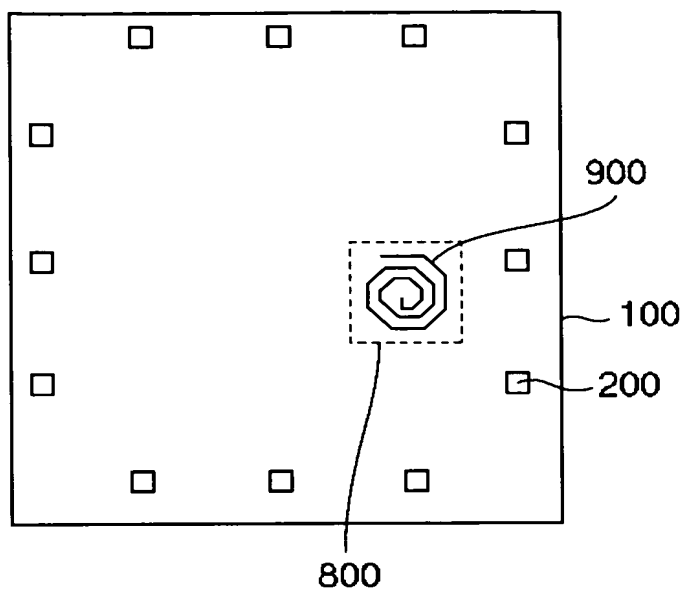
【図 16】



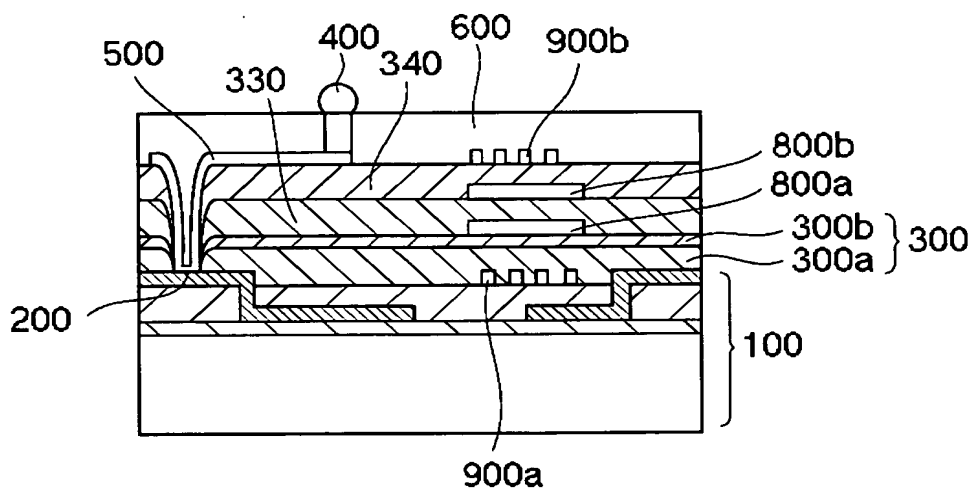
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 半導体チップ上に絶縁膜を介して外部端子と再配線とが形成される半導体装置において、従来は外部端子、若しくは再配線からのノイズの影響から電子回路を保護する為、接地電位層を設けていたが、この接地電位層の為に工程が大幅に増加し、さらに、半導体装置の厚さが厚くなってしまう可能性があった。

【解決手段】 本発明では、基板上の多層配線、即ち、それぞれが層間絶縁膜を介して積層された複数の層と、それぞれの層内に形成された配線とを有する多層配線の最上位の層内において、配線が配置された領域以外の領域に、定電位が与えられるノードに電氣的に接続するメタル部材が形成される。これにより、工程を大幅に増加することなく、かつ、半導体装置の厚さを厚くすることなく、電子回路がノイズの影響を受けてしまう可能性を低減することができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 0 2 4 7 6
受付番号	5 0 3 0 0 0 1 9 4 8 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 9 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月 8日
-------	-------------

次頁無



特願 2 0 0 3 - 0 0 2 4 7 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社